

(19) JAPANESE PATENT OFFICE (JP)

(12) PUBLICATION OF UNEXAMINED PATENT APPLICATION (A)

(11) Kokai (Unexamined) Patent Publication Number: 3-268024

(43) Date of Laid-Open Disclosure: November 28, 1991

(51) Int. Cl. ⁵	Identif. Symbol	Intra-Agency Number
G 06 F 7/52	310 A	2116-5B
15/72	A	8125-5L
15/80		7056-5L

Examination: not yet requested
Number of Claims: 5 (total of 7 pages)

(54) Title of the Invention: MICROPROCESSOR, INFORMATION PROCESSOR
AND GRAPHIC DISPLAY USING THE SAME

(21) Application Number: 2-67064

(22) Application Date: March 19, 1990

(72) Inventor: Masamichi FUKAYA
c/o Research Laboratory of Hitachi, Ltd.
Ibaraki-ken, Kujicho-shi, 4026-banchi

(72) Inventor: Akihiro KATSURA
c/o Research Laboratory of Hitachi, Ltd.
Ibaraki-ken, Kujicho-shi, 4026-banchi

(72) Inventor: Kazuyoshi KOGA
c/o Research Laboratory of Hitachi, Ltd.
Ibaraki-ken, Kujicho-shi, 4026-banchi

(72) Inventor: Takashi HOTTA
c/o Research Laboratory of Hitachi, Ltd.
Ibaraki-ken, Kujicho-shi, 4026-banchi

(72) Applicant: Hitachi, Ltd.
Tokyo-to, Chiyoda-ku
Kanda Surugadai, 4-chome, 6-banchi

(74) Agent: Katsuo KOGAWA, patent attorney, 2 associates.

SPECIFICATIONS

1. Title of the Invention: Microprocessor, Information Processor and Graphic Display Device Using the Same

2. Scope of the Patent's Claims

1. An information processing device, characterized by the fact that it comprises a group of registers including a plurality of registers, a register selector selecting one register unit from a group of relevant registers;

a plurality of arithmetic units having at least the multiplication function performing calculations with different bit strings contained in said registers;

a general purpose arithmetic unit performing processing of data corresponding to the entire bit length of said register unit;

and a controller controlling said register group, as well as said general purpose arithmetic device and said arithmetic device.

2. An information processing device, characterized by the fact that one part of the bit string of the multiplication result of said arithmetic unit is stored in a part of a selected divided register.

3. An information processing device, characterized by the fact that in the information processing devices described in claim 1 or claim 2 are created signal lines enabling to transmit arithmetic auxiliary signal between said arithmetic units.

4. A graphic display device, characterized by the fact that the information processing device described in claim 1 through claim 3 is equipped with special instructions activating simultaneously said plurality of arithmetic units.

5. A graphic display device, characterized by the fact that an external memory device and a display device are deployed in the information processing device described in claim 1 through claim 4.

3. Detailed Description of the Invention

(Field of Industrial Use)

This invention relates to an information processing device using electronic technology, in particular it can be applied to a microprocessor and to a graphic processing device whose purpose is to process quickly graphic data.

(Prior Art Technology)

Devices according to prior art, such as a microprocessor introduced in IEEE Computer Graphics & Applications, July 1987, pp. 85 – 94), were divided into multiple regions holding one register for simple additions, so that corresponding multiple adders were used for processing of data according to this technique, which was employed to process information such as parallel calculations of image elements and the like.

[page 2]

While these devices were suitable for simple processing involving operations such as brightness interpolation and similar operations used during processing of graphics, the problem was that it was difficult to achieve effective processing operations because multiplication programs had to be described for calculation of images by combining together many instructions during processing requiring multiplication, such as drawing of images with alpha blending to achieve a feeling of transparency.

(Task to Be Achieved By This Invention)

The present invention provides a means making it possible to realize effectively information processing such as processing involving calculation of parallel images containing multiplications, which was difficult to realize with efficiency when conventional techniques were used.

(Means To Solve Problems)

In order to achieve said objective, the present invention provides an information processing device construction comprising a group of registers containing a plurality of registers, a register selection device, which selects one register unit from said plurality of registers, multiple arithmetic units having at least a multiplication functions performing calculations for different bit strings in said registers, a general purpose arithmetic unit performing data processing applied to the entire bit length of said register units, and a control device, which controls said register group, as well as the general purpose arithmetic unit and arithmetic units.

(Operation)

To improve the efficiency of the usage of registers during calculations of parallel image elements when multiple arithmetic unit having the multiplication functions are deployed, one register is divided into multiple regions specified by an instruction so that said arithmetic unit is made to correspond to each respective region. The efficiency of the usage of the registers is therefore increased in a case when a means is created which stores only one part of the bit string being the result of calculations in a register.

It is also possible to employ arithmetic units with a larger bit length, as multiple groups of arithmetic units are used in the present invention in a case when signal lines are created between respective arithmetic units in order to transmit arithmetic auxiliary signals such as carry signal and the like, while the hardware component can be controlled with a control device.

The information processing device according to this invention thus makes it possible to create the construction of essential elements of a microprocessor. In this case, the microprocessor is equipped with special instructions and the instructions are held in a control device which interprets these instructions.

Graphic processing can thus be achieved with a high degree of accuracy when the information processing device described above is employed with a display device using a cathode ray tube and a printer.

(Embodiment)

FIG. 1 is a construction diagram showing one example of the information processing device according to this invention. As shown in FIG. 1, numbers 2, 3, 4, and 5 denote arithmetic units having respective multiplication functions. A general purpose arithmetic unit 1 is connected to a data bus 15, and an instruction controller 6 is connected to an instruction bus 16. The instruction controller 6 transmits control signals corresponding to instructions to arithmetic units 2, 3, 4, 5, as well as to register selector 7 and general purpose arithmetic unit 1 and controls respective operations. In the instruction controller 6 are registered commands activating at the same time the multiplication function of the arithmetic units 2, 3, 4, 5. The register selector 7 selects the required register units from the register group 8 according to the instructions. Number 14 is a register group control line. Although as a rule, 32 bits are used for the register unit in a case when the general purpose arithmetic unit 1 is a 32 bit microprocessor, 64 bits or 128 bits are also used in some cases for the register units of the register pair employed for precise multiplication calculations and the like.

The register units are used according to this invention divided into a plurality of bit strings in the register units. The division is created so that an arithmetic unit corresponding to each region is created. In the embodiment shown in FIG. 1, the register units are divided into 4 regions and respective arithmetic units 2, 3, 4, 5 are connected by data lines 10, 11, 12, 13. The number of divisions can be set for the register units with an instruction. While the total number of the arithmetic units is 4 in the embodiment which is shown in FIG. 1, only a required number corresponding to the number of divisions of the register units is created. The general purpose arithmetic unit 1 performs calculating operations applied to the entire region having the register units, as well as processing operations such as transmission of data.

When a system having a similar construction is used for calculation of graphic data, processing of graphics can be performed at a very high speed. The example described in the Description below relates to a system in which the general purpose arithmetic unit 1 uses a 32 bit

processor, wherein general purpose alpha blending is realized with computer graphics.

[page 3]

Image elements are generally realized with 3 required elements using R (red), G (green) and B (blue) color so that for example 8 bit data can be allocated to each color. During processing of alpha blending, two image data elements (R1, G1, B1), and (R2, G2, B2) are mixed together and combined with a ratio of P : Q according to a method for drawing of images creating a feeling of transparency. The image data after the blending (R3, G3, B3) can be realized according to the formula below.

$$\begin{aligned}R3 &= P \times R1 + Q \times R2 \\G3 &= P \times G1 + Q \times G2 \\B3 &= P \times B1 + Q \times B2\end{aligned}$$

FIG. 6 is a model diagram of alpha blending, which can be carried out with a high speed design with the information processing device according to this invention. The part that is enclosed in a small circle in the figure indicates image elements. When this processing is carried out with a general purpose arithmetic unit using 32 bits, multiplication must be executed 6 times and addition must be executed 3 times. In addition, when 8 bit data is allocated to individual segments in the space of 32 bits according to the register units, the problems was that a portion corresponding to the remaining 24 bits was wasted. According to this invention, data corresponding to 8 bits in the 32 bit space of the register unit is allocated once to up to 4 individual items, with a design increasing the efficiency of the usage of the registers and creating a high-speed design with parallel processing, thanks to the fact that arithmetic units 2, 3, 4, 5 are deployed, which are provided with the multiplication function corresponding to respective data items. In addition, because multiple arithmetic units are equipped with specialized instructions which can be activated at the same time, this makes it possible to create a very effective program. Although there are designs that made it possible to reduce the number of additions when adders were operated with parallel operations for 8 bit units according to conventional technology, these designs were not equipped with any kind of an effective means for additions, which will take up most of the calculation time. According to prior art, even though a data construction for a parallel design for additions was defined so that 4 items of 8 bit data were allocated to a 32 bit space, because no means was provided for multiplications corresponding to the same data structure, the problem was that various operations were required, such as operations for conversion processing to convert the data type when data was handed over between the addition part and the multiplication part. However, this problem is completely solved by this invention. Although in the example described above, 32 bit general purpose adders are combined with 8 bit arithmetic units, the bit length can be determined as desired by the system designer.

FIG. 2 is a graph showing one example of the content of calculations to be executed by

the arithmetic units 2, 3, 4, and 5. Number 21 is a multiplicand, 22 is a multiplier, and 23 is the calculation result. The multiplicand 21 divides a region containing 32 bits into 8 bit segments so that 4 individual integer data items a, b, c, and d will be allocated. Allocation to e, f, g, h is performed in the same manner by the multiplier 22. Allocation is performed with 8 bits also for the calculation result 23, so that 8 upper bits are assigned for $a \times e$, $b \times f$, $c \times g$, and $d \times h$. The multiplier 22, multiplicand 21 and calculation result 23 are stored in the internal part of the register group 8. In addition, only one 8 bit data segment h is specified by the multiplier 22, and if an instruction is defined which stores upper 8 bits of $a \times h$, $b \times h$, $c \times h$, and $d \times h$ in the calculation result 23, one multiplier can increase the efficiency of calculation in a case when 4 multiplicands are used jointly with one multiplier.

Although in the example above, the calculation result was the sum of the upper 8 bits, the calculation result is also stored in the register as the lower bits in some cases. The sum of 4 groups of 16 bits of data obtained with 4 groups of 8 bit multiplication in the space of 64 bits can be also stored when a pair of registers is used. For the data of the multiplier 22 and of the multiplicand 21 can be used a suitable type of data such integers with codes, as well as integers without codes, floating points, and fixed points. Further, also any value can be selected which is compatible with the system bit length, including 8 bits, 16 bits, 24 bits, 32 bits, 64 bits, 128 bits, 13 bits, etc. The instruction controller 6 is provided with a function determining the bit length and the data type according to the information which is obtained from an instruction bus 16.

The arithmetic units 2, 3, 4, and 5 can be used to easily combine the product sum function with the addition and subtraction functions, in addition to the multiplication function controlled by the instruction controller 6.

In order to realize product sum calculations, the construction of the arithmetic units 2, 3, 4, and 5 is connected to respective adders and multipliers. Figure 7 shows one embodiment of the construction of arithmetic units 2, 3, 4, 5 required to run product sum calculations. Number 71 is an adder, and 72 is a multiplier.

[page 4]

As was explained above, a special definition is sometime not performed by the system for a flag indicating incidental information attached to the content of calculations in cases when a flag is held in respective arithmetic units 2, 3, 4, 5, in the inner part of the register group 8, or when output is provided in the form of a signal by an external part, etc. FIG. 8 shows one embodiment of the flag method enabling to store a flag in the general purpose register. Symbol r1 denotes an example of a carry flag C indicating add carry or borrow subtract, r2 is an example of storage of a sign flag S indicating a symbol, and r3 is an example indicating storage of the Z flag which expresses a zero. When flags are stored in this manner in register units in the register group 8, this makes it possible to divide the system into multiple regions of the same type so that the calculation results are stored in the registers in register units, making it possible to store in a

simple manner in the register group 8 flag signals generated by the arithmetic units 2, 3, 4, and 5, provided that a storage method is used for storage of incidental flags for respective arithmetic operations in the corresponding regions.

FIG. 3 is a construction diagram showing the construction of another embodiment of this invention. Arithmetic auxiliary signal lines 30, 31, 32, and 33 are connected to respective arithmetic units 2, 3, 4, and 5 in a case when a coordinated arrangement is employed between the arithmetic units 2, 3, 4, 5. As an example, when arithmetic units 2, 3, 4, 5 are used as 8 bit adders, and arithmetic auxiliary signal is sent as carry signal so that arithmetic auxiliary signal lines 30, 31, 32 are employed, arithmetic units 2, 3, 4, 5 will be equivalent to 32 bit adders in the entire configuration. Arithmetic auxiliary signal line 31 must be connected at this point, and 2 sets of 16 bit adders are created. In addition, when arithmetic units 2, 3, 4, and 5 are 8 bit shift adders, 32 bit rotation adders are created by using arithmetic auxiliary signal lines 30, 31, 32, 33. Switching between the functions described above is performed by the instruction controller 6.

FIG. 4 shows one embodiment of command activation carried out simultaneously with a plurality of multiplication functions available in the arithmetic units 2, 3, 4, 5. Operation code 41 is defined according to the content of the arithmetic operation. In addition, operand 42 performs specification of register units comprising the data source and destination relating to the calculation. Symbols r1, r2, r3 indicate register units. Even if these instructions are allocated at the same time by multiple multipliers to one register unit, an efficient means is created comprising the configuration of a multiprocessor being the information processing device of this invention, which is characterized by the capability to provide a 1 step description. When the operation codes and operands of these instructions use 8 bits for the operation units of the arithmetic units 2, 3, 4, 5, or when 16 bits are used to execute only multiplication by an arithmetic unit, multiple individual items which are different from each other can be realized in accordance with the product sum calculations, etc. In addition, the system can be used to create a division between a processing mode relating to the present invention containing one part of the bit string making up the construction of the instructions, and a processing mode according to the general purpose arithmetic unit 1. FIG. 9 shows one embodiment of an instruction equipped with bits enabling switching to a processing mode relating to the present invention. Number 92 is an instruction bit string, 91 is a bit string used for switching to a processing mode. As long as the system is equipped with multiple bits for switching to processing modes, a more complicated control can be exercised.

FIG. 5 shows another embodiment of this invention. Microprocessor 54 includes the function of the information processing device relating to this invention. Because a memory device 51 and a display device 52 are connected through a bus 53 to the microprocessor 54 of this invention, this makes it possible to obtain a graphics display device enabling to realize processing of alpha blending operations at a particularly high speed. Frame memory 55 stores image element data. When a printer is connected to the bus 53, a printer device can thus be obtained making it possible to print graphics displayed on the display device 52.

(Effect of the Invention)

As was explained above, because the present invention makes it possible to activate at the same time specialized instructions for allocation of arithmetic units having a plurality of multiplication functions to one register unit, this makes it possible to realize a system for execution of graphic element calculations at a high speed, which uses few register resources. In particular during processing of graphics involving alpha blending, the effects obtained include a very significant reduction of the calculation time period, as well as increased efficiency of the memory usage due to faster execution of programs, etc.

4. Brief Description of Figures

FIG. 1 is a construction diagram showing one embodiment of this invention, FIG. 2 is a diagram showing one example of the content of calculations executed by an arithmetic unit relating to this invention, FIG. 3 is a construction diagram showing another embodiment of the present invention, FIG. 4 is a diagram indicating one embodiment of an instruction relating to this invention,

[page 5]

FIG. 5 is a construction diagram showing yet another embodiment of the present invention, FIG. 6 is a model diagram of alpha blending, FIG. 7 is a construction diagram indicating one embodiment of a sum product arithmetic unit, FIG. 8 is a diagram showing one embodiment of the flag method relating to this invention, and FIG. 9 is a diagram showing one embodiment of an instruction equipped with bits enabling switching between processing modes.

1 ... general purpose arithmetic unit, 2, 3, 4, 5 ... arithmetic units having a multiplication function, 6 ... instruction controller, 7 ... register selector, 8 ... register group, 9 ... control line, 10, 11, 12, 13 ... data lines, 14 ... register group control line, 15 ... data bus, 16 instruction bus, 21 ... multiplicand, 22 ... multiplier, 23 ... calculation result, 30, 31, 32, 33 ... arithmetic auxiliary signal lines, 41 ... operation code, 42 ... operand, 51 ... memory device, 52 ... display device, 53 ... bus, 54 ... microprocessor, 55 ... frame memory, 71 adder, 72 ... multiplier, 91 ... bits for switching of processing modes, 92 ... bit string for instructions.

Representative: Katsuo KOGAWA, patent attorney [personal seal].

FIG. 1

- 1 general purpose arithmetic unit
- 2 arithmetic unit #1 (multiplication function)
- 3 arithmetic unit #2 (multiplication function)
- 4 arithmetic unit #3 (multiplication function)
- 5 arithmetic unit #4 (multiplication function)
- 6 instruction controller
- 7 register selector
- 8 register group
- 9 control line
- 10 data line #1
- 11 data line #2
- 12 data line #3
- 13 data line #4
- 14 register group
- 15 data bus
- 16 instruction bus

FIG. 2

- 21 multiplicand
 - 22 multiplier
 - 23 result of calculations
- upper 8 bits of a x e, upper 8 bits of b x f, upper 8 bits of c x g, upper 8 bits d x h

[page 6]

FIG. 3

- 2 arithmetic unit #1 (multiplication function)
- 3 arithmetic unit #2 (multiplication function)
- 4 arithmetic unit #3 (multiplication function)
- 5 arithmetic unit # 4 (multiplication function)
- 6 instruction controller
- 7 register selector
- 8 register group
- 9 control line
- 15 data bus
- 16 instruction bus

FIG. 4

FIG. 5

51 memory device
52 display device
54 microprocessor
55 frame memory

FIG. 7

71 adder
72 multiplier

FIG. 8

r1 C flag
r2 S flag
r3 Z flag

FIG. 9

91 processing mode switching bits
92 bits for instructions

[page 7]

FIG. 6

α blending

⑫ 公開特許公報(A) 平3-268024

⑤ Int. Cl.³G 06 F 7/52
15/72
15/80

識別記号

3 1 0 A
A

庁内整理番号

2116-5B
8125-5L
7056-5L

④ 公開 平成3年(1991)11月28日

審査請求 未請求 請求項の数 5 (全7頁)

⑬ 発明の名称 マイクロプロセッサ、情報処理装置及びそれを用いた図形表示装置

⑭ 特 願 平2-67064

⑮ 出 願 平2(1990)3月19日

⑯ 発 明 者 深 谷 正 道 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発 明 者 桂 晃 洋 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 古 賀 和 義 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 堀 田 多 加 志 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

マイクロプロセッサ、情報処理装置及びそれを用いた図形表示装置

2. 特許請求の範囲

1. 複数のレジスタからなるレジスタ群と、当該レジスタ群から一つのレジスタ単位を選択するレジスタ選択装置と、前記レジスタ内の異なるビット列の演算を行う少なくとも乗算機能を有する複数の演算装置と、前記レジスタ単位の全ビット長に対してデータ処理を行う汎用演算装置と、前記レジスタ群、汎用演算装置および演算装置を制御する制御装置とからなることを特徴とする情報処理装置。

2. 請求項1記載の情報処理装置において、

該演算装置の乗算結果のビット列の一部が、選択された該レジスタの分割された一部に格納されることを特徴とする情報処理装置。

3. 請求項1又は2記載の情報処理装置において、

前記演算装置間に演算補助信号を伝える信号線

を設けたことを特徴とする情報処理装置。

4. 請求項1乃至3記載の情報処理装置において、前記複数の演算装置を同時に起動する専用命令を備えたことを特徴とするマイクロプロセッサ。

5. 請求項1乃至4記載の情報処理装置に、外部記憶装置および表示装置を設けたことを特徴とする図形表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電子技術を用いた情報処理装置に係り、特に高速に図形データなどを処理することを目的としたマイクロプロセッサおよび図形処理装置に適用できる。

〔従来の技術〕

従来の装置は、アイ・イー・イー・イー、コンピュータ グラフィックス アンド アプリケーション、1989年7月号、第85頁から第94頁 (IEEE Computer Graphics & Applications, July, 1987, pp85-94) に紹介されているマイクロプロセッサのように、単純な加算について一つのレジス

タを複数の領域に分割し、それぞれに対応する複数の加算器を用いてデータ処理する技術によって、並列演算などの情報処理を行っていた。この装置は、グラフィックス処理における輝度補間などの単純な処理を行うのに適しているが、透明感を描出するアルファブレンド処理のように乗算を要する処理においては、多数の命令の組合せによって演算計算用の乗算プログラムを記述する必要があり、効果的な処理が困難であった。

【発明が解決しようとする課題】

本発明は、従来技術では効率的な処理が困難であった乗算を含む並列演算などの情報処理を効率的に実行できる手段を提供するものである。

【課題を解決するための手段】

上記目的を達成するために、本発明は、複数のレジスタからなるレジスタ群と、当該レジスタ群から一つのレジスタ単位を選択するレジスタ選択装置と、前記レジスタ内の異なるビット列の演算を行う少なくとも乗算機能を有する複数の演算装置と、前記レジスタ単位の全ビット長に対してデ-

ータ処理を行う汎用演算装置と、前記レジスタ群、汎用演算装置及び演算装置を制御する制御装置とから、情報処理装置を構成したものである。

【作用】

乗算機能を有する複数の演算装置を設け、さらに並列演算におけるレジスタ使用効率を向上させるために、命令で指定された一つのレジスタを複数の領域に分割し、それぞれの領域に前記演算装置を対応させたものである。演算結果の一部のビット列のみをレジスタに格納する手段を設けた場合には、レジスタの利用効率はさらに高まる。

また、桁上がり信号などの演算補助信号を伝える信号線を各演算装置間に設けた場合には、本発明で用いる演算装置を複数個組み合わせることによって、よりビット長の大きな演算装置として使用できる。これらのハードウェアは制御装置によって制御される。

本発明による情報処理装置はマイクロプロセッサの構成要素とすることができる。その場合にはマイクロプロセッサは専用の命令を備え、それを

解釈する制御装置を内部に持つ。

以上の情報処理装置を陰極線管を用いた表示装置や印字装置に適用することにより、高性能な図形処理装置を実現できる。

【実施例】

第1図は本発明による情報処理装置の一実施例を示す構成図である。第1図において2、3、4、5は演算装置であり、それぞれ乗算機能を有する。汎用演算装置1は、データバス15に接続され、命令制御装置6は、命令バス16に接続されている。命令バスとデータバスは共用することもある。命令制御装置6は制御線9によって、命令に応じた制御信号を演算装置2、3、4、5、レジスタ選択装置7および汎用演算装置1に伝達し、それぞれの動作を制御する。命令制御装置6には演算装置2、3、4、5の乗算機能を同時に起動する命令が登録されている。制御線9は各装置に対し独立に与えられることもある。レジスタ選択装置7は、命令に従ってレジスタ群8の中から必要なレジスタ単位を選択する。14はレジスタ群制御

線である。汎用演算装置1が32ビットのプロセッサの場合、レジスタ単位は原則として32ビットであるが、倍精度演算などで用いるレジスタバースではレジスタ単位を64ビットや128ビットとする場合もある。

本発明ではレジスタ単位を複数のビット列に分割して利用する。分割された各領域に対応して演算装置を設ける。第1図に示した実施例では、レジスタ単位を4領域に分割し、それぞれに演算装置2、3、4、5をデータ線10、11、12、13を介して接続する。レジスタ単位の分割数は、命令によって指定できる。演算装置の総数は、第1図に示した実施例では4であるが、レジスタ単位の分割数に応じて必要数だけ設ける。汎用演算装置1は、レジスタ単位の全領域に対して演算やデータ転送などの処理を行う。

このような構成のシステムを図形データの演算に用いると、極めて高速なグラフィックス処理を実現できる。以下、汎用演算装置1が32ビットプロセッサのシステムにおいて、コンピュータグ

ラフィックスで多用されるアルファブレンド処理を実行した場合を例として説明する。一般に画面は、R（赤）、G（緑）、B（青）の3要素によって表現され、それぞれ例えば8ビットのデータを割り当てる。アルファブレンド処理は、二つの画面データ（R1, G1, B1）、（R2, G2, B2）をP:Qの比で混ぜ合わせて透明感を演出する手法で、混合後の画面データ（R3, G3, B3）は次式で表される。

$$R3 = P \times R1 + Q \times R2$$

$$G3 = P \times G1 + Q \times G2$$

$$B3 = P \times B1 + Q \times B2$$

第6図は本発明に係る情報処理装置によって高速化できるアルファブレンドの模式図である。図中の小丸で囲まれた部分は画面を乗ずる。この処理を32ビットの汎用演算装置によって行なうと6回の乗算と3回の加算を実行しなければならない。また、レジスタ単位である32ビット空間に8ビットデータの一つずつ割り当てると残りの24ビット分が無駄になってしまう欠点があった。本発

明では、レジスタ単位の32ビット空間に8ビットのデータを最大4個一度に割当て、それぞれのデータを担当する乗算機能を有する演算装置2、3、4、5を設けて並列に処理することによって高速化およびレジスタ利用効率の向上を図った。また、複数の演算装置を同時に起動する専用の命令を備えることによって、効率の良いプログラミングが可能となる。従来技術の中には、8ビット単位の加算器を並列に動作させることによって加算の回数を減らすことを可能にしたものは存在したが、演算時間の大部分を占める乗算については何ら有効な手段を持っていなかった。従来技術では、加算の並列化のためのデータ構造を定義して32ビット空間に4個の8ビットデータを割当てたとしても、同じデータ構造に対する乗算手段を持っていなかったために、加算部分と乗算部分との間のデータ受渡しの際にデータ型変換処理を要するなどの欠点があった。しかし、本発明ではこれらの欠点は全て解決される。以上に述べた例は、32ビットの汎用演算装置と8ビットの演算装置

を組み合わせた例であるが、これらのビット長はシステムの設計者によって任意に決められる。

第2図は、演算装置2、3、4、5が実行すべき演算内容の一例を示す図である。21は被乗数、22は乗数、23は演算結果である。被乗数21は32ビットの領域を8ビットずつ区切り、4個の整数データa、b、c、dが割り当てられている。乗数22には同様にe、f、g、hが割り当てられている。演算結果23も8ビットずつ区切られて、a×e、b×f、c×g、d×hのそれぞれ上位8ビットが与えられる。乗数22、被乗数21、演算結果23は、レジスタ群8の内部に格納される。また、乗数22において一つの8ビットデータhのみを指定し、演算結果23にa×h、b×h、c×h、d×hの上位8ビットを格納する命令を定義すれば、一つの乗数が4つの被乗数に共通な場合の演算効率を向上できる。

以上の例では、積の上位8ビットを演算結果としたが、下位ビットを演算結果としてレジスタに格納する場合もある。レジスタペアを用いれば

64ビットの空間に4組の8ビット乗算で得られた16ビットの積4組を格納することもできる。乗数22、被乗数21のデータとしては、符号付き整数、符号なし整数、浮動小数点、固定小数点など、様々な型に適用可能である。また、ビット長も8ビット、16ビット、24ビット、32ビット、64ビット、128ビット、13ビットなどシステムに適した任意の値を選択することができる。命令制御装置6は、命令バス16から得られた情報に従ってデータの型、ビット長を判断する機能を持つ。

演算装置2、3、4、5は、命令制御装置6によって制御されるので乗算機能に加えて加減乗除や積和機能演算機能を併せて持つことが容易となる。

積和演算を実行するための演算装置2、3、4、5はそれぞれ加算器と乗算器が接続された構造となっている。第7図に積和演算を実行させるために演算装置2、3、4、5がとるべき構成の一実施例を示す。71は加算器、72は乗算器である。

以上に述べた演算内容に付随する情報を示すフラグは、汎用演算装置1の内部に持つ場合と、演算装置2, 3, 4, 5にそれぞれ持つ場合と、レジスタ群8の内部に持つ場合と、外部に信号として出力する場合などがあり、システムによっては特にフラグを定義しないこともある。第8図は汎用レジスタにフラグを格納するフラグ方式の一実施例である。r1には加算の桁上がりや減算のボローを示すキャリーフラグCを、r2には符号を表すサインフラグSを、r3には零を表現するZフラグを格納した例である。このようにフラグをレジスタ群8のレジスタ単位に格納する場合、レジスタ単位を演算結果を格納するレジスタと同様に複数の領域に分割し、対応する領域にそれぞれの演算に付随するフラグを格納する方式を用いれば、演算装置2, 3, 4, 5で発生したフラグ信号を容易にレジスタ群8に格納することができる。

第3図は、本発明の他の実施例を示す構成図である。演算補助信号線30, 31, 32, 33は、演算装置2, 3, 4, 5に接続され、演算装置2,

3, 4, 5のうち複数を組み合わせて有機的に利用する場合に用いる。例として、演算装置2, 3, 4, 5を8ビットの加算器とし、演算補助信号を桁上がり信号として、演算補助信号線30, 31, 32を用いれば、演算装置2, 3, 4, 5は全体として32ビットの加算器と等価になる。このとき演算補助信号線31を接続しなければ2組の16ビット加算器となる。また、演算装置2, 3, 4, 5が8ビットのシフト演算器の場合には、演算補助信号線30, 31, 32, 33を用いることによって32ビットのローテーション演算器となる。以上の機能の切替は命令制御装置6によって行われる。

第4図は、演算装置2, 3, 4, 5のうち複数の乗算機能を同時に起動する命令の一実施例である。オペコード41は、演算内容に応じて定義される。また、オペランド42は演算に係るデータのソースおよびデスティネーションとなるレジスタ単位の指定を行う。r1, r2, r3はレジスタ単位を表す。この命令は、一つのレジスタ単位

に対し複数の乗算器が同時に割り当てられる場合でも、1ステップで記述できることを特徴とし、本発明による情報処理装置がマイクロプロセッサの構成要素となるとときに有効な手段となる。命令のオペコードやオペランドは、演算装置2, 3, 4, 5の演算単位が8ビットの場合、16ビットの場合、演算装置が乗算だけを実行する場合、積和演算を実行する場合などに応じて表現が異なる複数個を定義することができる。また、命令を構成するビット列の一部を本発明に係る処理状態と、汎用演算装置1による処理状態を区別するために利用する。第9図は本発明に係る処理状態に切替えるためのビットを備えた命令の一実施例である。92は命令のビット列、91は処理状態切替用ビットである。処理状態切替用ビットを複数個備えれば、より複雑な制御が可能となる。

第5図は、本発明の他の実施例である。マイクロプロセッサ54は、本発明に係る情報処理装置の機能を含む。記憶装置51および表示装置52をバス53を介して本発明によるマイクロプロセ

ッサ54に接続することによって、特に高速なアルファブレンド処理を実現する図形表示装置が得られる。フレームメモリ55は、画素データを記憶する。バス53に印字装置を接続すれば表示装置52に表示された図形を印字できる印字装置が得られる。

【発明の効果】

以上述べたように、本発明では複数の乗算機能を有する演算装置を一つのレジスタ単位に割り当て、専用の命令によってそれらを同時に起動できるので、少ないレジスタ資源で高速な画素演算を実行するシステムを実現できる。特にグラフィックスにおけるアルファブレンド処理では、演算時間の大幅削減、プログラムの短縮によるメモリ利用効率の向上などの効果がある。

4. 図面の簡単な説明

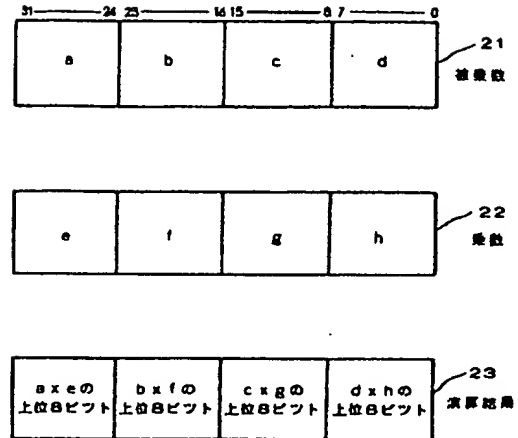
第1図は本発明の一実施例を示す構成図、第2図は本発明に係る演算装置が実行する演算内容の一例を示す図、第3図は本発明の他の実施例を示す構成図、第4図は本発明に係る命令の一実施例を

示す図、第5図は本発明のさらに他の実施例を示す構成図、第6図はアルファブレンドの模式図、第7図は積和用演算器の実施例を示す構成図、第8図は本発明に係るフラグ方式の実施例、第9図は処理状態を切替えるビットを書いた命令の実施例を示す図である。

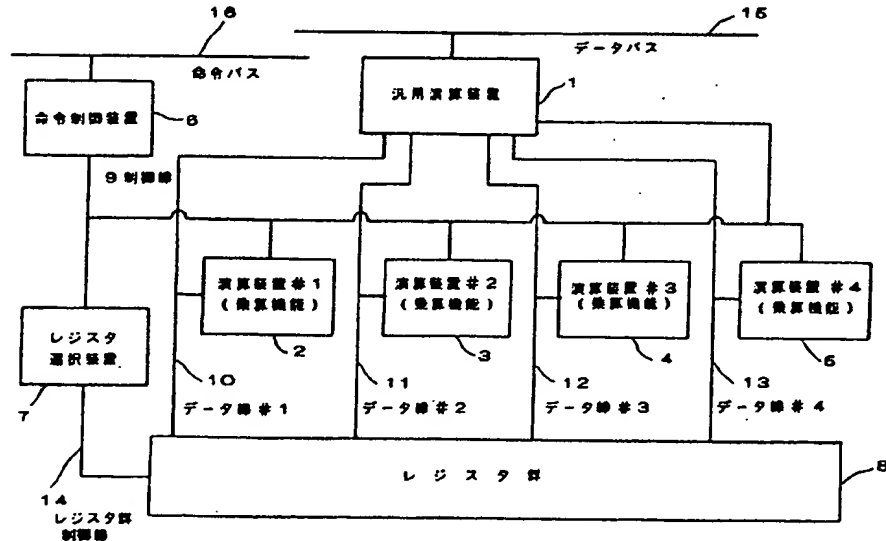
1…汎用演算装置、2、3、4、5…乗算機能を有する演算装置、6…命令制御装置、7…レジスタ選択装置、8…レジスタ群、9…制御線、10、11、12、13…データ線、14…レジスタ群制御線、15…データバス、16…命令バス、21…被乗数、22…乗数、23…演算結果、30、31、32、33…演算補助信号線、41…オペコード、42…オペランド、51…記憶装置、52…表示装置、53…バス、54…マイクロプロセッサ、55…フレームメモリ、71…加算器、72…乗算器、91…処理状態切替用ビット、92…命令のビット列。

代理人 井理士 小川勝男

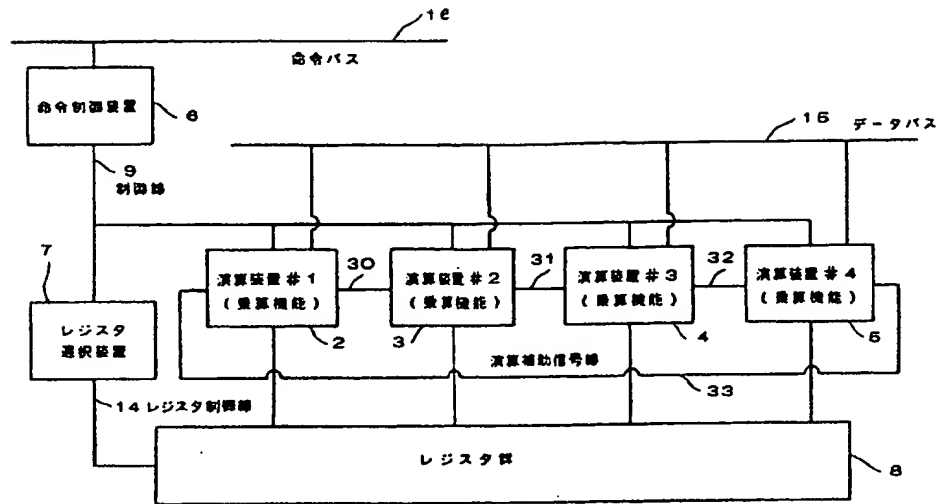
第 2 図



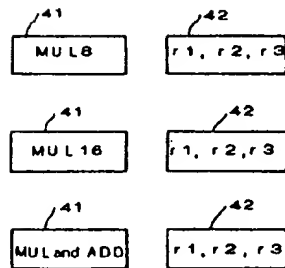
第 1 図



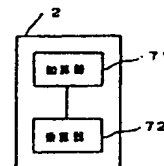
第 3 図



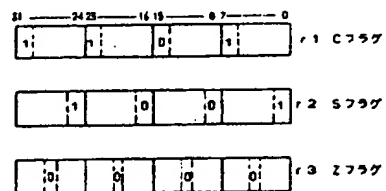
第 4 図



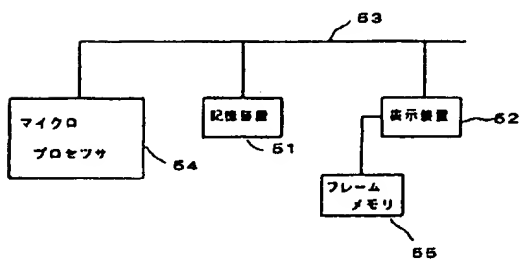
第 7 図



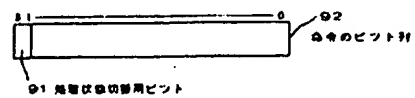
第 8 図



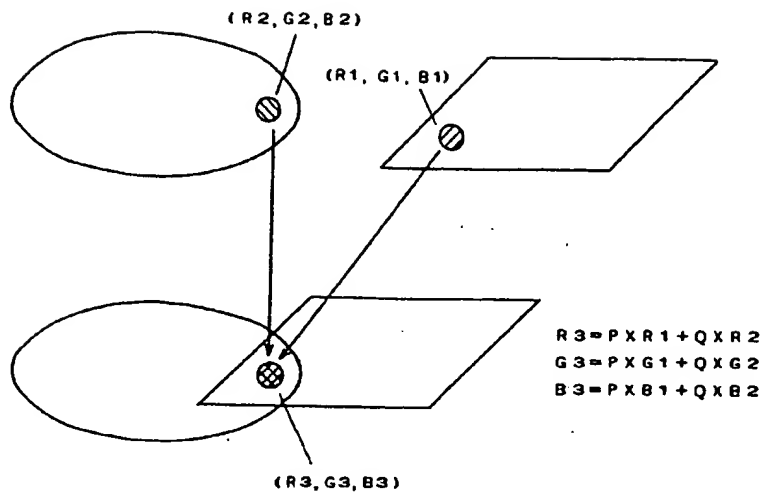
第 6 図



第 9 図



第 6 図



・ ブレンド